|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **学 期** | 2020-2021学年第1学期 | | | | **实验日期** | | 2020.11.17 | | |
| **学 院** | 信息学部 | | | | **专 业** | | 计算机类 | | |
| **班 级** | 190741 | | **学 号** | | 19030419 | | **姓 名** | | 王昕 |
| **组 号** | 24 | | **学 号** | | 19074104 | | **姓 名** | | 王佳玮 |
| **评 阅 内 容** | | | | | | | | | |
| **实验预习** | | **实验原理** | | **详细设计** | | **实验结果** | | **成 绩** | |
|  | |  | |  | |  | |  | |
|  | | | | | | | | | |
| **题 目** | 实验7：时序逻辑设计——计数器 | | | | | | | | |

**一．实验目的**

1．掌握计数器的工作原理。

2．掌握硬件描述语言编写计数器的方法。

3．掌握Verilog语言中结构化描述方法。

**二．实验任务及要求**

任务：用硬件描述语言设计一个与74LS163功能一致的计数器。

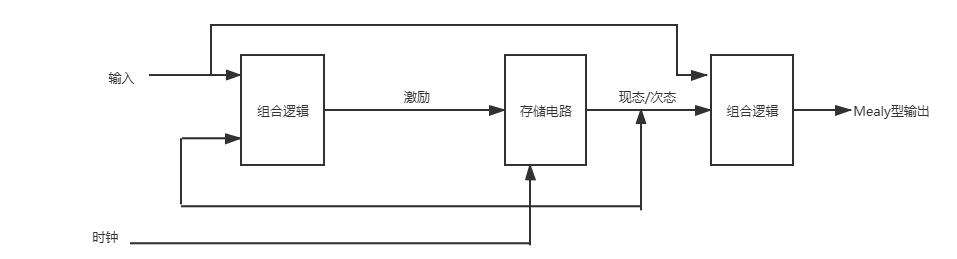
要求：

1．清零和置数均为同步方式。

2．采用结构化描述方式将计数器IP和数码管IP相连。

**三．实验原理**

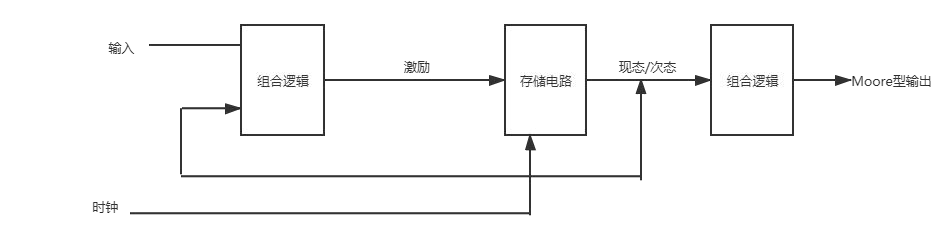
|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | 输出 | | | | | 说明 |
| CLRN | LDN | ENP | ENT | CLK | Qd | Qc | Qb | Qa | RCO |
| 0 | x | x | x | 上升 | 0 | 0 | 0 | 0 | 0 | 清零 |
| 1 | 0 | x | x | 上升 | d | c | b | a | \* | 置数 |
| 1 | 1 | 1 | 1 | 上升 | 计数 | | | | \* | 加一 |
| 1 | 1 | 0 | x | x | Qd | Qc | Qb | Qa | \* | 保持 |
| 1 | 1 | x | 0 | x | Qd | Qc | Qb | Qa | 0 | 保持 |



**.**

**.**

**.**



**四．详细设计**

1、电路实现

module wxwjwjsq(input clk,cr,ld,input[3:0]in,input[1:0]epet,output rco,a,b,c,d,e,f,g,sel,co);

wire[3:0]q;

jishuqi(clk,cr,ld,in,epet,q,rco);

BCDqiduan(q,a,b,c,d,e,f,g,sel,co);

endmodule

module jishuqi(input clk,cr,ld,input[3:0]d,input[1:0]epet,output reg[3:0]q,output rco);

always@(posedge clk)

begin

if(~cr) q<=0;

else if(!ld) q<=d;

else if(epet==2'b11)

q<=q+1;

else q<=q;

end

assign rco=(q==4'b1111&&epet[0])?1:0;

endmodule

module BCDqiduan(data,a,b,c,d,e,f,g,sel,co);

input[3:0]data;

output a,b,c,d,e,f,g;

output sel,co;

reg a,b,c,d,e,f,g,sel,co;

reg[3:0]data2;

always@(data)

begin

sel=1'b0;

data2=data;

if(data2>9) begin co=1;data2=data2-10;end

else co=0;

case (data2)

4'b0000:{a,b,c,d,e,f,g}=7'b1111110;

4'b0001:{a,b,c,d,e,f,g}=7'b0110000;

4'b0010:{a,b,c,d,e,f,g}=7'b1101101;

4'b0011:{a,b,c,d,e,f,g}=7'b1111001;

4'b0100:{a,b,c,d,e,f,g}=7'b0110011;

4'b0101:{a,b,c,d,e,f,g}=7'b1011011;

4'b0110:{a,b,c,d,e,f,g}=7'b1011111;

4'b0111:{a,b,c,d,e,f,g}=7'b1110000;

4'b1000:{a,b,c,d,e,f,g}=7'b1111111;

4'b1001:{a,b,c,d,e,f,g}=7'b1111011;

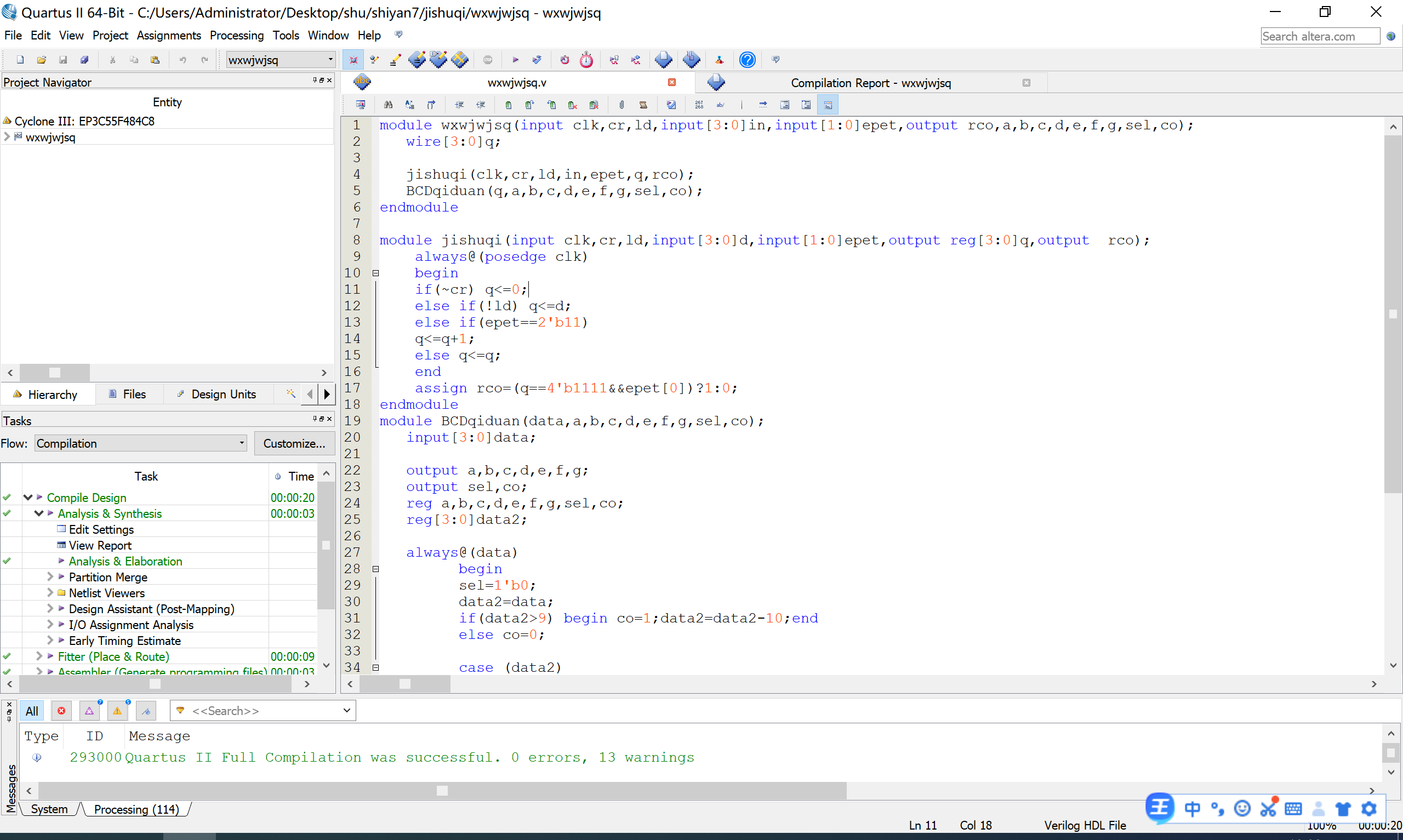
default:{a,b,c,d,e,f,g}=7'bx;

endcase

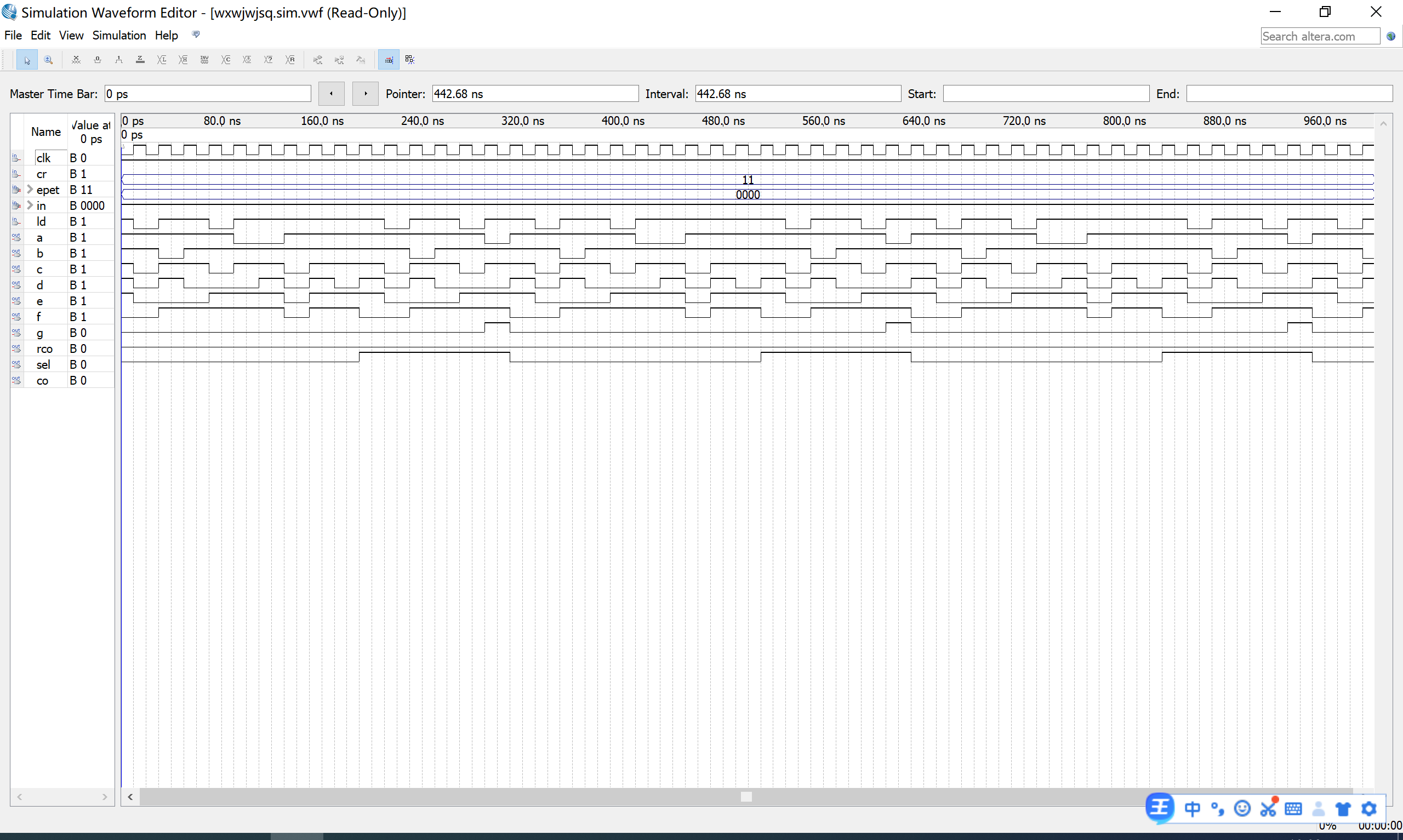
end

endmodule

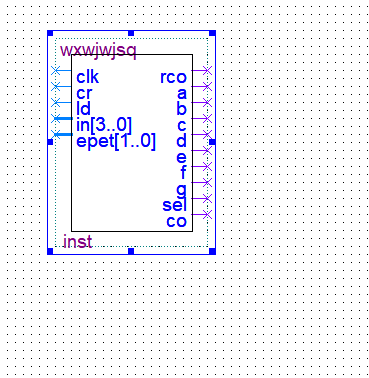
用结构化语言将计数器模块和7段式译码器连接：



2、仿真

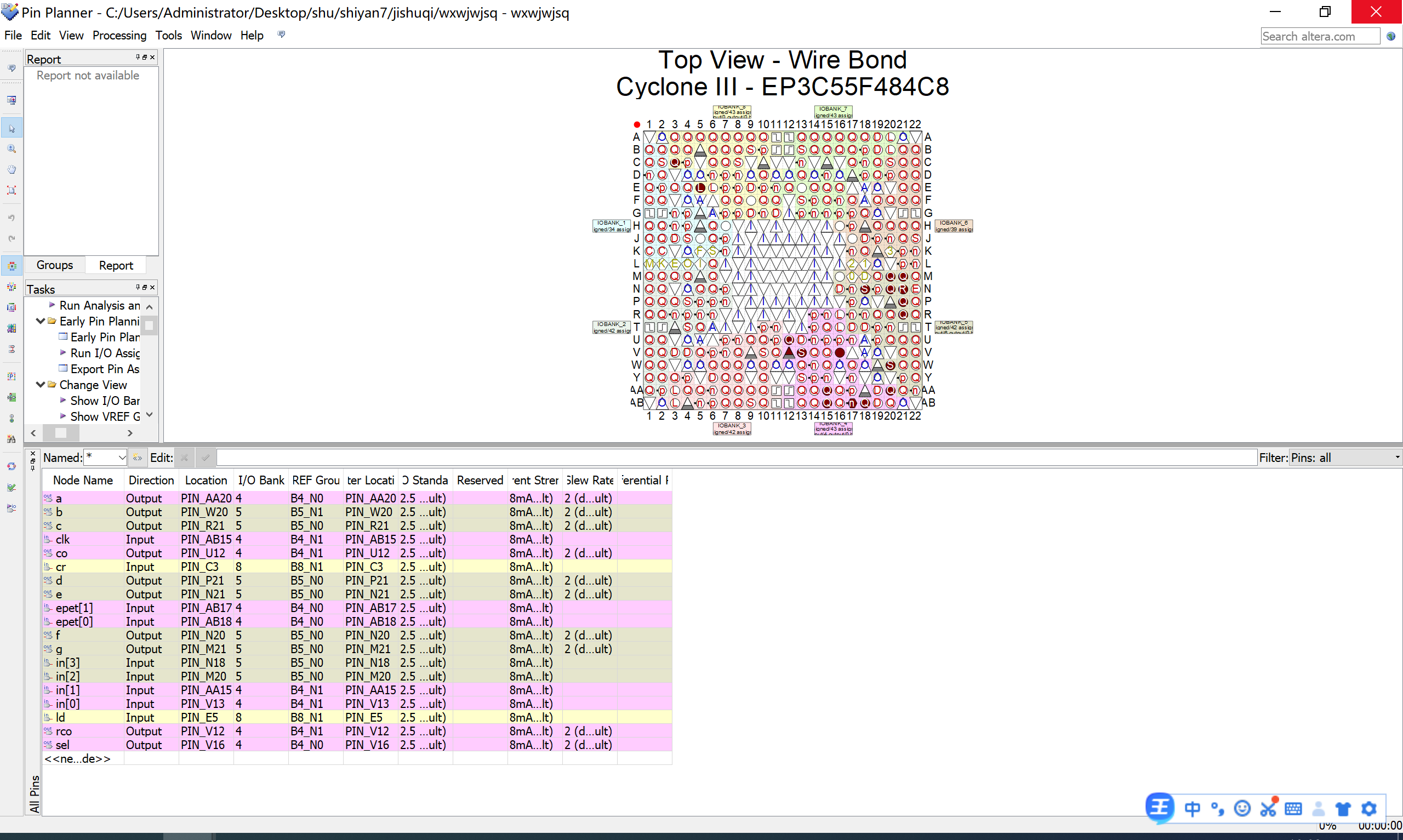


3.封装图



**五．实验结果**

（1）引脚分配



（2）实验现象

当清零开关置0时，实现清零，数码管上数字显示为0，置1时不起作用；当ld置0时，数据变为输入的in，置1时不起作用；当epet为11时，进行计数，每按下一次按键，七段数码管跳一个数字，同时显示的数字过10的时候，进位灯灭，实现计数器的功能。当ep或et有一个为0时，数据保持不动。

拓展实验：

module fpq(clk\_50mhz,rst,clk\_1hz,clk\_2hz,clk\_50hz,clk\_1khz);

input rst,clk\_50mhz;

output clk\_1hz,clk\_2hz,clk\_50hz,clk\_1khz;

reg clk\_1hz,clk\_2hz,clk\_50hz,clk\_1khz;

reg[31:0]cnt1,cnt2,cnt3,cnt4;

parameter N=10000000;

always@(posedge clk\_50mhz)

begin

if(!rst)

begin

cnt1<=1'b0;

cnt2<=1'b0;

cnt3<=1'b0;

cnt4<=1'b0;

clk\_1hz<=1'b0;

clk\_2hz<=1'b0;

clk\_50hz<=1'b0;

clk\_1khz<=1'b0;

end

if(cnt1<32'd25\_000\_000)

cnt1<=cnt1+1'b1;

else

begin

cnt1<=1'b0;

clk\_1hz<=~clk\_1hz;

end

if(cnt2<32'd25\_000\_000)

cnt2<=cnt1+1'b1;

else

begin

cnt2<=1'b0;

clk\_2hz<=~clk\_2hz;

end

if(cnt3<32'd25\_000\_000)

cnt3<=cnt3+1'b1;

else

begin

cnt3<=1'b0;

clk\_50hz<=~clk\_50hz;

if(cnt4<32'd25\_000\_000)

cnt4<=cnt4+1'b1;

else

begin

cnt4<=1'b0;

clk\_1khz<=~clk\_1khz;

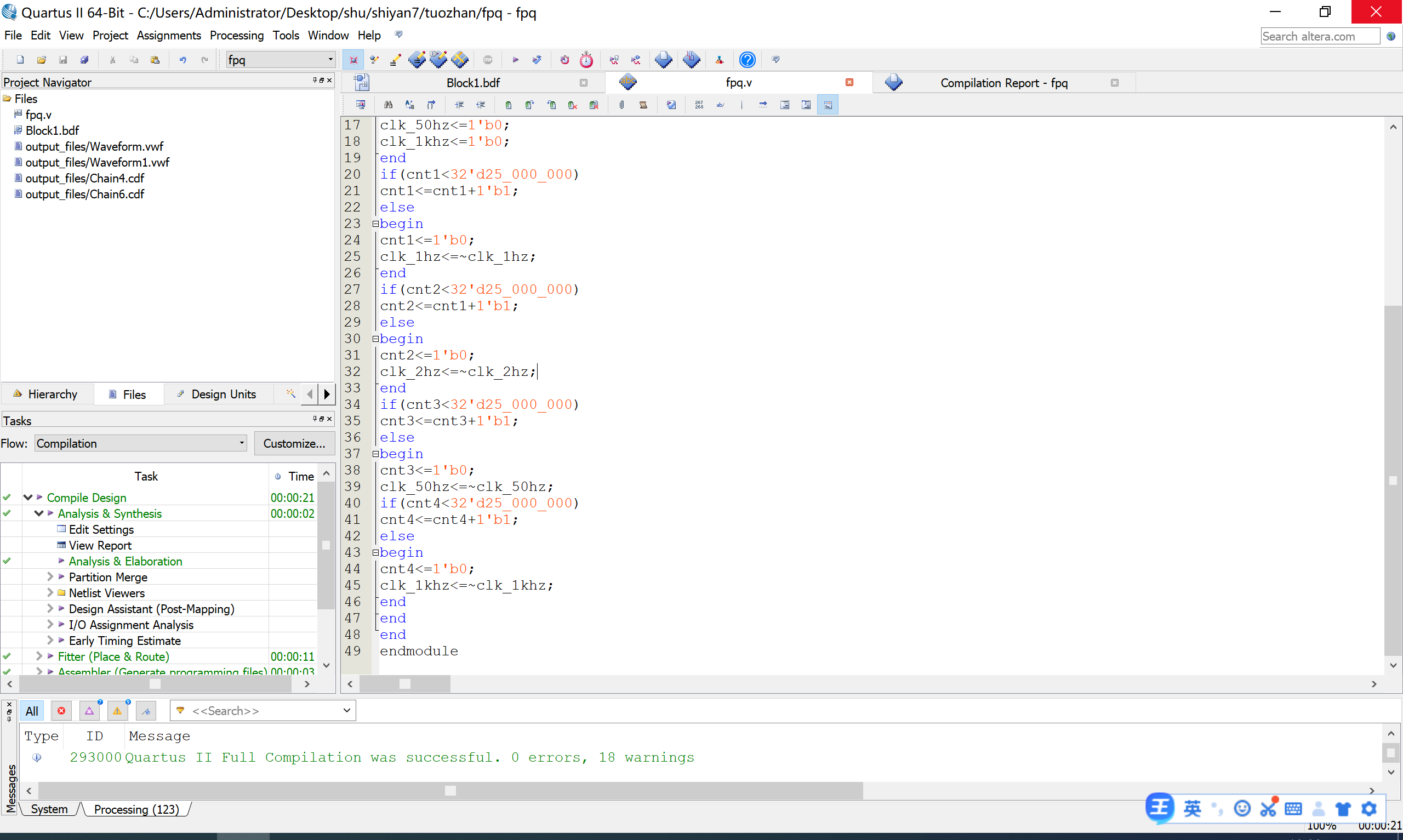
end

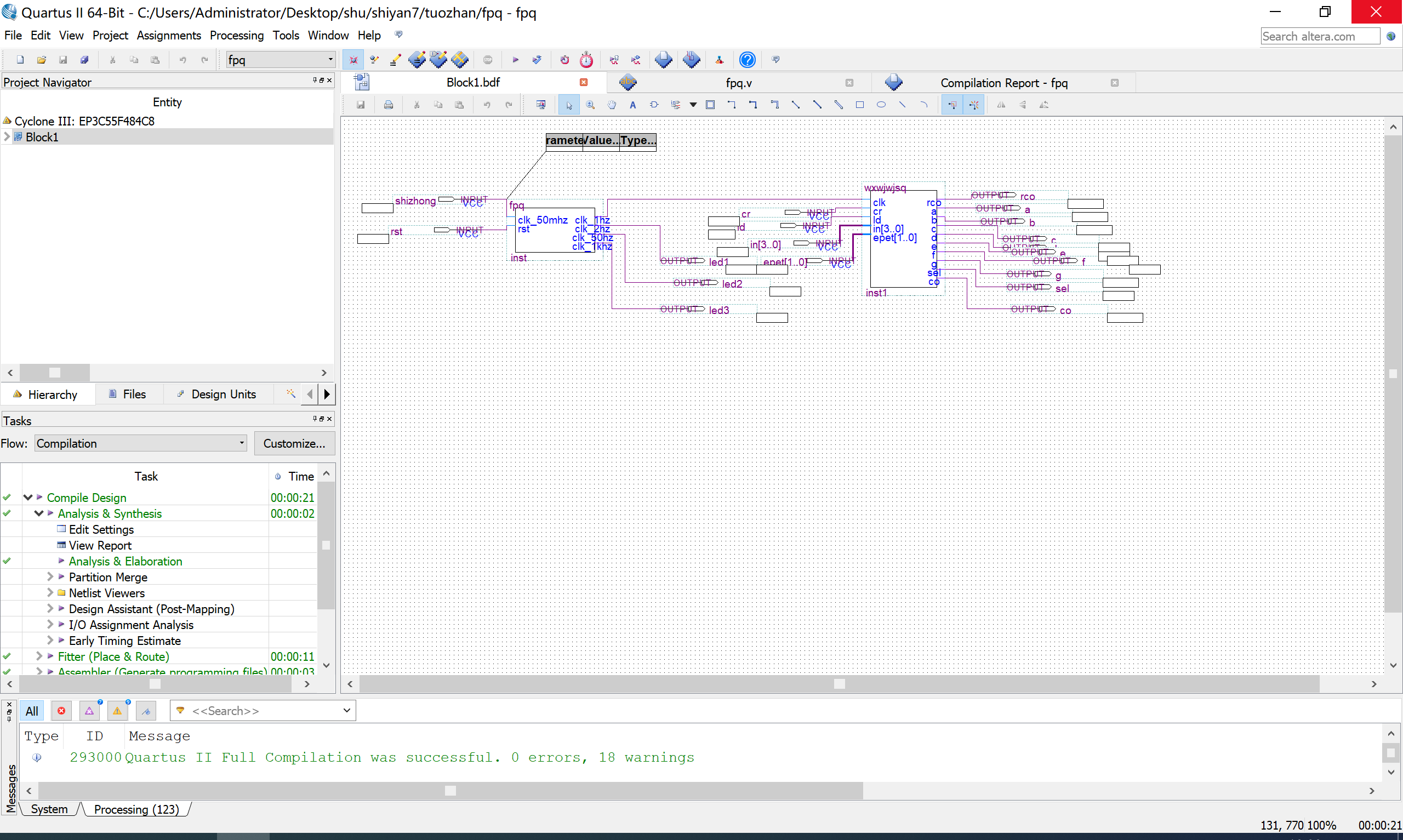
end

end

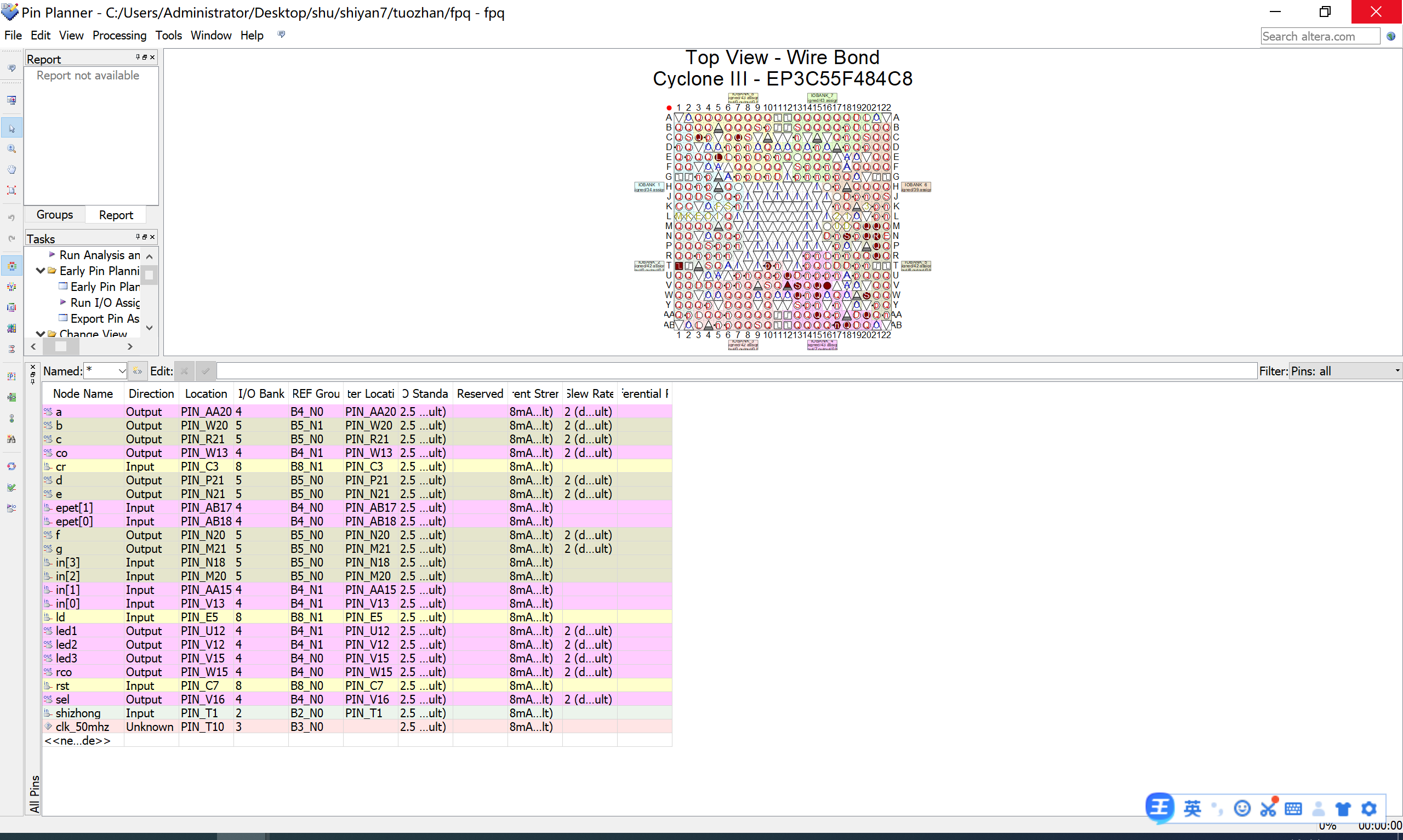
Endmodule

下图为分频器代码

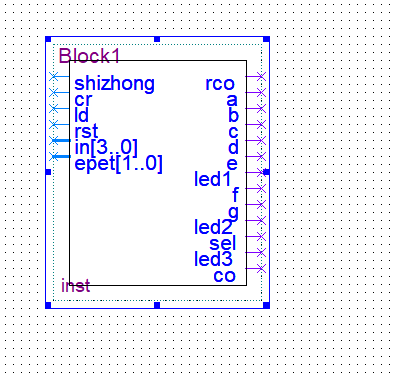


将分频器与计数器相连，实现自动计数

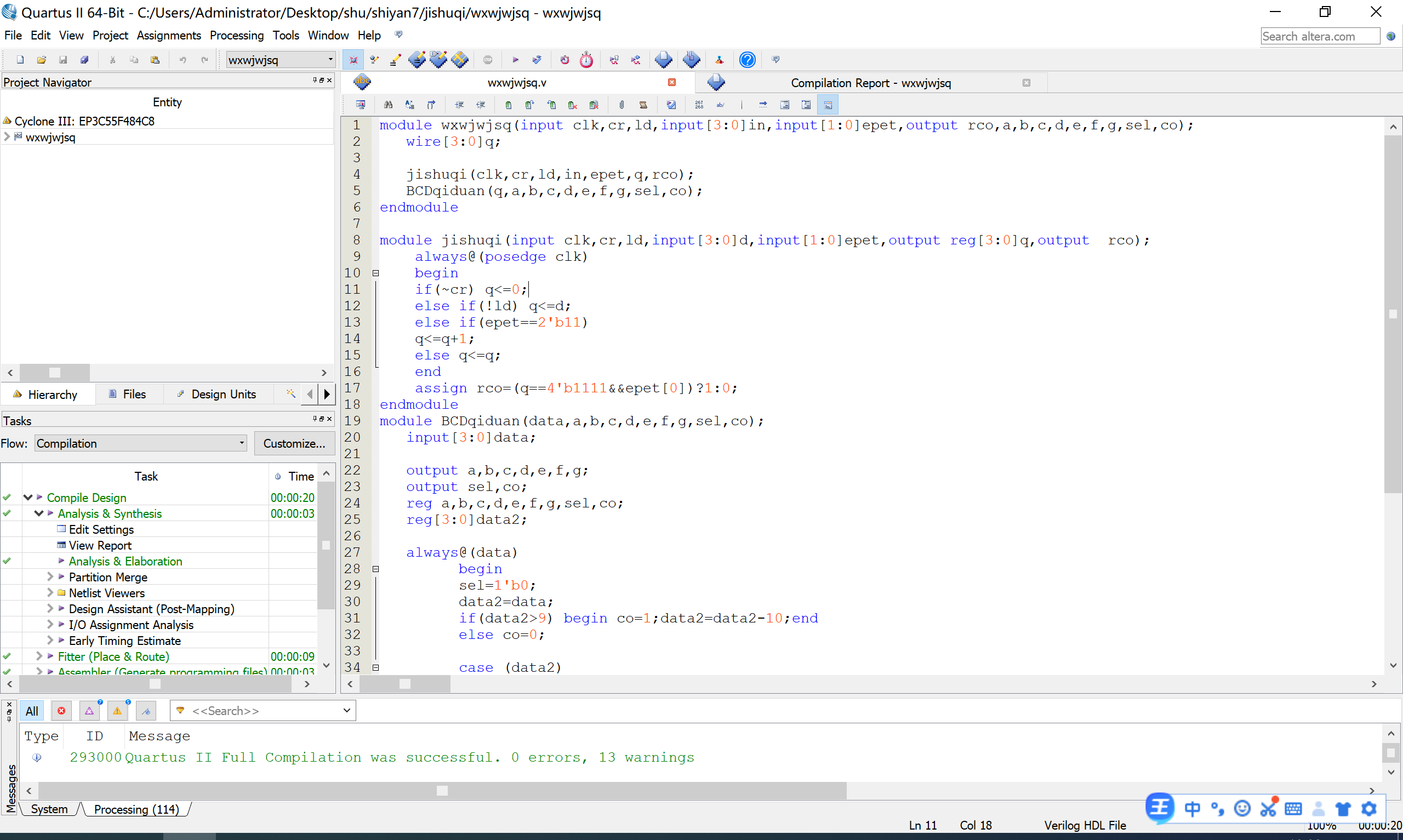
引脚分配



封装图



实验现象：将分频器的输入时钟信号接到实验台的t1引脚上实现自动产生上升沿，利用分频器产生1hz，2hz，50hz以及1khz的频率，2，50，1khz频率分别接在led灯上，2hz的会闪烁，50hz以及1khz的led灯常亮；当清零开关置0时，实现清零，数码管上数字显示为0，置1时不起作用；当ld置0时，数据变为输入的in，置1时不起作用；当epet为11时，进行计数，同时1hz接给计数器的时钟信号，七段数码管每一秒跳一个数字，同时现实的数字过10的时候，进位灯灭，实现计数器的功能。当ep或et有一个为0时，数据保持不动。



附图：顶层模块